

## PATENT ABSTRACTS OF JAPAN

Cited Reference 2  
(English Abstract)

(11)Publication number : 11-283396

(43)Date of publication of application : 15.10.1999

(51)IntCl.

G11C 29/00

G06F 11/10

G06F 12/16

G11C 16/06

G11C 16/02

(21)Application number : 10-081269

(71)Applicant : SONY CORP

(22)Date of filing : 27.03.1998

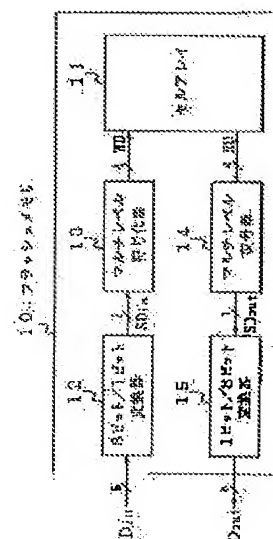
(72)Inventor : MIYAUCHI TOSHIYUKI  
HATTORI MASAYUKI

## (54) MEMORY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To give high capability of correcting an error with little redundant data.

SOLUTION: Input data Din are converted to serial data SDin by a converter 12, further, coded by a multi-level coder 13, and writing data WD of four bits are generated. This writing data WD are supplied to a cell array 11, and written in respective cells successively. Read-out data RD from the cell array 11 are decoded processed by a multi-level decoder 14 (error correction processing), serial data SDout is obtained, the data are converted to data of one byte by a converter 15, and output data Dout are obtained. In the coder 13, independent coding is performed on each bit data of each bit order while making data of plural bits of the prescribed numbers relating to input data Din as a unit, for example, coding is performed by a code in which redundant data is more and whose correction capability is high as a low order bit expected by has larger number of errors. Thereby, high error correction capability can be given by little redundant data as a whole.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-283396

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl. <sup>6</sup>	識別記号	F I		
G 1 1 C 29/00	6 3 1	G 1 1 C 29/00	6 3 1 Z	
			6 3 1 D	
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 K	
12/16	3 2 0	12/16	3 2 0 F	
G 1 1 C 16/06		G 1 1 C 17/00	6 3 9 C	
審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く				

(21) 出願番号 特願平10-81269

(22) 出願日 平成10年(1998) 3 月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 宮内 俊之

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

(72) 発明者 服部 雅之

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

(74) 代理人 弁理士 山口 邦夫 (外 1 名)

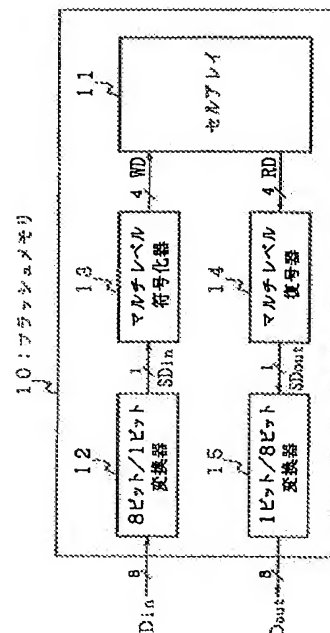
(54) 【発明の名称】 メモリ装置

(57) 【要約】

【課題】 少ない冗長データで高い誤り訂正能力を持たせる。

【解決手段】 入力データ D<sub>in</sub>を、変換器 1 2 でシリアルデータ S D<sub>in</sub>に変換し、さらにマルチレベル符号化器 1 3 で符号化をして、4 ビットの書き込みデータ W D を生成する。この書き込みデータ W D をセルアレイ 1 1 に供給し、各セルに順次書き込む。セルアレイ 1 1 からの読み出しデータ R D をマルチレベル復号器 1 4 で復号処理 (誤り訂正処理) をしてシリアルデータ S D<sub>out</sub>を得、それを変換器 1 5 で 1 バイトのデータに変換して出力データ D<sub>out</sub>とする。符号化器 1 3 では、入力データ D<sub>in</sub>に係る所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に独立した符号化をし、例えば誤り数が多いことが予想される下位ビット程冗長データが多く訂正能力の高い符号で符号化をする。これにより、全体として少ない冗長データによって高い誤り訂正能力を持たせることが可能となる。

第 1 の実施の形態 (フラッシュメモリ)



## 【特許請求の範囲】

【請求項 1】 複数のメモリセルを有し、それぞれのメモリセルが複数ビットのデータを記憶するセルアレイと、

入力データに係る所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に独立した符号化を行って上記セルアレイに書き込むための書き込みデータを得るマルチレベル符号化器と、

上記セルアレイの読み出しデータに係る上記所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に復号して出力データを得るマルチレベル復号器とを備えることを特徴とするメモリ装置。

【請求項 2】 上記マルチレベル復号器で誤り訂正を行う際に、雑音の一方方向性を利用してシンボルの特定を行うことを特徴とする請求項 1 に記載のメモリ装置。

【請求項 3】 上記セルアレイはフラッシュメモリを構成するものであって、

上記マルチレベル符号化器では、下位ビット程冗長データが多く訂正能力の高い符号で符号化を行うことを特徴とする請求項 1 に記載のメモリ装置。

【請求項 4】 上記マルチレベル復号器は、下位ビット側から順次復号を行うと共に、誤り訂正を行う際に 1 つ上のシンボルに量子化することを特徴とする請求項 3 に記載のメモリ装置。

【請求項 5】 上記入力データおよび出力データはそれぞれ所定ビットの平行データであって、

上記マルチレベル符号化器の前段に、上記入力データとしての所定ビットの平行データをシリアルデータに変換する第 1 のビット変換器を設け、

上記マルチレベル復号器の後段に、このマルチレベル復号器より出力されるシリアルデータを上記出力データとしての所定ビットの平行データに変換する第 2 のビット変換器を設けることを特徴とする請求項 1 に記載のメモリ装置。

【請求項 6】 複数のメモリセルを有し、それぞれのメモリセルが複数ビットのデータを記憶するセルアレイを持つメモリ部と、

上記メモリ部に対してデータの書き込みや読み出しを行うためのコントローラとを備え、

上記コントローラは、入力データに係る所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に独立した符号化を行って上記セルアレイに書き込むための書き込みデータを得るマルチレベル符号化器と、上記セルアレイの読み出しデータに係る上記所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に復号して出力データを得るマルチレベル復号器とを有することを特徴とするメモリ装置。

【請求項 7】 上記メモリ部は、1 個または複数個のフラッシュメモリで構成されることを特徴とする請求項 6 に記載のメモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、メモリ装置に関する。詳しくは、複数ビットのデータを記憶するメモリセルからなるメモリに対してマルチレベル符号化による誤り訂正符号を用いることによって、少ない冗長データで高い誤り訂正能力を持たせるようにしたメモリ装置に係るものである。

## 【0002】

10 【従来の技術】近年、メモリ装置として、フラッシュメモリ等の半導体メモリが広く使用されている。フラッシュメモリでは、半導体基板上に積層形成された浮遊ゲート（電荷蓄積層）および制御ゲートからなるメモリセルを多数並べてなるセルアレイ（通常は 6500 万セル程度）を用いてデータの記憶を行っている（図 11 参照）。この場合、各セルアレイには、浮遊ゲートに蓄える電荷量の大きさによってデータが記憶される。

20 【0003】図 12 A, B は、フラッシュメモリに用いるメモリセル 100 の構造を示している。すなわち、メモリセル 100 は、半導体基板 101 に電荷蓄積層（浮遊ゲート）102 および制御ゲート 103 が積層されて形成されている。メモリセル 100 にデータを書き込む場合には、浮遊ゲート 102 に蓄える電荷量を制御し、記憶するデータ（“0”または“1”）に応じて、図 13 に示した 2 値のしきい電圧のいずれかにする。一方、メモリセル 100 よりデータを読み出す場合には、2 値のしきい電圧の中間に設けた基準電圧を用い、メモリセル 100 のしきい電圧が基準電圧よりも高いか低いかに

30 か“1”であるかの判断をする。

【0004】半導体メモリでは、高集積度化、高密度化に伴う種々の影響による信頼性低下を防ぐことが重要な課題となっている。特に、書き込み／消去数の増加に伴うセル不良のように経年変化によって起こる不良の防止のために、例えばハミング符号や BCH 符号(Bose-Chaudhuri-Hocquenghem code)、あるいはそれらを短縮化した符号のような誤り訂正符号を用いた誤り訂正回路を半導体メモリの内部に組み込むことがしばしばある。

40 【0005】誤り訂正符号は、情報データに対して検査データと呼ばれる冗長なデータが付加されてなり、その検査データを用いることで符号内の誤りの訂正が行われる。なお、ハミング符号、BCH 符号および符号の短縮化については、例えば今井秀樹著「符号理論」（電子情報通信学会）等の文献に論じられている。誤り訂正符号を半導体メモリの内部に組み込むことで、経年変化によってある程度のセル不良が起こっても、書き込んだデータの読出エラーは起こらないようにすることが可能になる。ただし、一般に誤り訂正符号では、多くの誤りを訂正するためには冗長なデータである検査データを多く持つ必要があり、多くのセルを使うことになるのと同様

に、誤り訂正回路もより大きくなるという傾向がある。

【0006】次に、フラッシュメモリの多値記録について述べる。近年、フラッシュメモリの記憶容量の増大を目的として、1つのセルに多ビットのデータを記憶するフラッシュメモリが提案されている。例えば、4値の多値記録を行うフラッシュメモリのメモリセル100では、図14A～Dに示すように、浮遊ゲート102に蓄える電荷量を制御して、記憶するデータ(“11”, “10”, “01” または “00” に応じて、図15に示した4値のしきい電圧のいずれかにする。データを読み出すには、各しきい電圧の間にそれぞれ設けた3値の基準電圧を用いる。メモリセル100のしきい電圧と各基準電圧とを比較することによって、メモリセル100のデータを読み取る。これによって1つのメモリセル100で2ビットのデータを記憶できる。

【0007】

【発明が解決しようとする課題】多値記録のフラッシュメモリに対しても2値記録の場合と同様に誤り訂正回路を用いることができる。ただし、多値記録を行うフラッシュメモリでは、1つのセル不良によって複数ビットが誤りになるため、誤り訂正符号としては、数ビットをひとまとめにして1シンボルとし、シンボル単位で誤りを訂正する符号が有効となる。シンボル誤りを訂正する符号で最も標準的な符号としては、リード・ソロモン符号(Reed-Solomon Code)および短縮化リード・ソロモン符号がある。なお、リード・ソロモン符号についても、その内容に関しては前掲の今井秀樹著「符号理論」等の文献で論じられている。

【0008】図16は、8ビット(1バイト)を1シンボルとして2誤り訂正可能な短縮化リード・ソロモン符号を用いた誤り訂正回路を内部に組み込んだ16値(4ビット)記録を行うフラッシュメモリ110の構成例を示している。この短縮化リード・ソロモン符号の場合、図17に示すように、検査データ(冗長データ)は4バイトとなり、符号全体の長さは、132バイト=1056ビットとなる。

【0009】図16において、フラッシュメモリ110は、複数のメモリセルを有するセルアレイ111と、8ビットのデータである入力データDinを短縮化リード・ソロモン符号に変換し、セルアレイ111に書き込むための書き込みデータWDを得る符号化器112と、この符号化器112より出力される書き込みデータWDを、図18に示すように、8ビットのデータから4ビットのデータ(メモリセルに記憶するための4ビットデータ)に変換してセルアレイ111に供給する8ビット/4ビット変換器113とを有している。

【0010】また、フラッシュメモリ110は、セルアレイ111より読み出される読み出しデータRDを、図18に示すように、4ビットのデータから8ビットのデータに変換する4ビット/8ビット変換器114と、こ

の4ビット/8ビット変換器114で8ビットのデータに変換された読み出しデータRDに誤り訂正処理を施して出力データDoutを得るリード・ソロモン符号復号器115とを有している。この場合、符号化器112およびリード・ソロモン符号復号器115は誤り訂正回路を構成している。そして、符号化器112では、入力データDinの128バイト毎に4バイトの検査データが付加され、情報データが128バイトの2誤り訂正可能な短縮化リード・ソロモン符号が生成される。

【0011】図16に示すフラッシュメモリ110において、データの書き込みは以下に行われる。すなわち、8ビットのデータである入力データDinは符号化器112に入力される。そして、この符号化器112では、入力データDinが情報データが128バイトの短縮化リード・ソロモン符号に変換されて書き込みデータWDとされる。そして、符号化器112より出力される書き込みデータWDは、8ビット/4ビット変換器113で8ビットのデータより4ビットのデータに変換されてセルアレイ111に供給され、セルアレイ111を構成する各メモリセルに順次書き込まれる。

【0012】一方、データの読み出しは以下に行われる。セルアレイ111より読み出された読み出しデータRDは4ビット/8ビット変換器114で4ビットのデータより8ビットのデータに変換されてリード・ソロモン符号復号器115に供給される。リード・ソロモン符号復号器115では、読み出しデータRDの1符号内に誤りがなければ情報データがそのまま出力データDoutとしてバイト単位で出力され、また読み出しデータRDの1符号内の誤りのバイト数が1または2であるときは、誤りが訂正された後に情報データが出力データDoutとしてバイト単位で出力される。

【0013】図16に示すような構成とすることで、多値記録のフラッシュメモリに対しても誤り訂正回路を用いることができる。

【0014】次に、複数のフラッシュメモリ(フラッシュメモリチップ)を用いたメモリカードについて述べる。1チップのフラッシュメモリでは扱えない量のデータを記憶するためのメモリ装置として、複数個のフラッシュメモリとコントローラとからなるメモリカードがある。

【0015】図19は、8ビット(1バイト)を1シンボルとして2誤り訂正可能な短縮化リード・ソロモン符号を用いた誤り訂正回路をコントローラに備えるメモリカード120の構成例を示している。このメモリカード120は、16値(4ビット)記録を行うフラッシュメモリを2個使用したものである。

【0016】図19において、メモリカード120は、2個のフラッシュメモリ121、122と、これらフラッシュメモリ121、122に対してデータの書き込みや読み出しを行うためのコントローラ123とを備えて

いる。

【0017】そして、コントローラ 123 は、カード外部とのデータのやり取りを行うためのカードインタフェース 124 と、8ビットのデータである入力データ Din を短縮化リード・ソロモン符号に変換し、フラッシュメモリ 121、122 に書き込むための書き込みデータ WD を得る符号化器 125 と、この符号化器 125 より出力される書き込みデータ WD を、図 18 に示すように、8ビットのデータから 4ビットのデータ（メモリセルに記憶するための 4ビットデータ）に変換する 8ビット／4ビット変換器 126 とを有している。

【0018】また、コントローラ 123 は、フラッシュメモリ 121、122 より読み出される読み出しデータ RD を、図 18 に示すように、4ビットのデータから 8ビットのデータに変換する 4ビット／8ビット変換器 127 と、この 4ビット／8ビット変換器 127 で 8ビットのデータに変換された読み出しデータ RD に誤り訂正処理を施して出力データ Dout を得るリード・ソロモン符号復号器 128 と、フラッシュメモリ 121、122 に対するデータの書き込み／読み出しをコントロールするフラッシュインタフェース 129 とを有して構成されている。

【0019】この場合、符号化器 125 およびリード・ソロモン符号復号器 128 は誤り訂正回路を構成している。そして、符号化器 125 では、入力データ Din の 128 バイト毎に 4 バイトの検査データが付加され、情報データが 128 バイトの 2 誤り訂正可能な短縮化リード・ソロモン符号が生成される。

【0020】図 19 に示すメモリカード 120 において、データの書き込みは以下のように行われる。すなわち、入力データ Din はカードインタフェース 124 によってカード内部に取り込まれて符号化器 125 に供給される。この符号化器 125 では、入力データ Din が情報データが 128 バイトの短縮化リード・ソロモン符号に変換されて書き込みデータ WD とされる。そして、符号化器 125 より出力される書き込みデータ WD は、8ビット／4ビット変換器 126 で 8ビットのデータより 4ビットのデータに変換され、フラッシュインタフェース 129 のコントロールに従ってフラッシュメモリ 121 またはフラッシュメモリ 122 に書き込まれる。

【0021】一方、データの読み出しは以下のように行われる。フラッシュインタフェース 129 のコントロールに従ってフラッシュメモリ 121 またはフラッシュメモリ 122 より読み出された読み出しデータ RD は、4ビット／8ビット変換器 127 で 4ビットのデータより 8ビットのデータに変換されてリード・ソロモン符号復号器 128 に供給される。リード・ソロモン符号復号器 128 では、読み出しデータ RD の 1 符号内に誤りがなければ情報データがそのまま出力データ Dout としてバイト単位で出力され、また読み出しデータ RD の 1 符号

内の誤りのバイト数が 1 または 2 であるときは、誤りが訂正された後に情報データが出力データ Dout としてバイト単位で出力される。このようにリード・ソロモン符号復号器 128 より出力される出力データ Dout はカードインタフェース 124 を介してカード外部に出力される。

【0022】図 19 に示すような構成とすることで、複数のフラッシュメモリを用いたメモリカードにおいても誤り訂正回路を用いることができる。コントローラで誤り訂正を行う場合、誤り訂正回路をフラッシュメモリに内蔵する場合に比べて、より大きな誤り訂正回路を持つことができるため、多値記録の影響で多くの誤りを発生するようになってからもこれを訂正することが可能になる。

【0023】次に、多値記録のフラッシュメモリにおける不良について改めて述べる。フラッシュメモリにおいて、経年変化によって生じる不良の最も大きな原因は、書き込み／消去の繰り返しによってメモリセルが徐々に破壊されることにより、浮遊ゲートに蓄えた電荷が逃げていくようになることにある。この場合の不良は、図 20 に示したように、しきい電圧の降下という形で現れる。よって、不良は必ず下のシンボルに誤るという形で現れ、また近くのシンボルに誤りやすいという傾向がある。

【0024】しかし、リード・ソロモン符号の様なシンボル訂正を行う誤り訂正符号を用いる場合には、シンボルの不良がどんな形で現れても、1 シンボルの誤りとして訂正を行うため、不良の現れ方に著しい傾向があってもそれを利用することができないため、冗長データに対する誤り訂正能力の効率が必ずしも最適にはならないという問題があった。

【0025】そこで、この発明では、少ない冗長データで高い誤り訂正能力を持たせることができるメモリ装置を提供することを目的とする。

#### 【0026】

【課題を解決するための手段】この発明に係るメモリ装置は、複数のメモリセルを有し、それぞれのメモリセルが複数ビットのデータを記憶するセルアレイと、入力データに係る所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に独立した符号化を行ってセルアレイに書き込むための書き込みデータを得るマルチレベル符号化器と、セルアレイの読み出しデータに係る上記所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に復号して出力データを得るマルチレベル復号器とを備えるものである。

【0027】また、この発明に係るメモリ装置は、複数のメモリセルを有し、それぞれのメモリセルが複数ビットのデータを記憶するセルアレイを持つメモリ部と、このメモリ部に対してデータの書き込みや読み出しを行うためのコントローラとを備えるものである。そして、コントローラは、入力データに係る所定数の複数ビットの

10

20

30

40

50

データを単位とし、各ビット位のビットデータ毎に独立した符号化を行ってセルアレイに書き込むための書き込みデータを得るマルチレベル符号化器と、セルアレイの読み出しデータに係る上記所定数の複数ビットのデータを単位とし、各ビット位のビットデータ毎に復号して出力データを得るマルチレベル復号器とを有するものである。

【0028】この発明において、セルアレイの各メモリセルには、それぞれ複数ビットのデータが記憶される。書き込み時には、入力データはマルチレベル符号化器によって符号化されて書き込みデータが得られ、この書き込みデータがセルアレイに書き込まれる。マルチレベル符号化では、複数のメモリセル分の書き込みデータを得るに当たって、各ビット位のビットデータ毎に独立した符号化が行われる。例えば、セルアレイがフラッシュメモリを構成するものである場合、誤り数が多いと予想される下位のビットデータ程、冗長データが多く訂正能力の高い符号が用いられる。これにより、全体として少ない冗長データによって高い誤り訂正能力を持たせることが可能となる。

【0029】一方、読み出し時には、セルアレイの各メモリセルに記憶されていたデータが読み出され、この読み出しデータがマルチレベル復号器によって復号されて出力データが得られる。マルチレベル復号器では、複数のメモリセル分の読み出しデータに対し、各ビット位のビットデータ毎に復号が行われる。例えば、誤り数が多いと予想される下位ビット側から順に復号化が行われる。

【0030】ここで、フラッシュメモリのように、各メモリセルの不良は必ず下のシンボルに誤るという形で現れ、また近くのシンボルに誤りやすいという傾向がある場合にあっては、誤り訂正を行う際に雑音の一方方向性を利用してシンボルの特定が行われる。すなわち、誤り訂正を行う場合には、その訂正に係る読み出しデータが1つ上のシンボルに量子化される。このような誤り訂正を行っていくことで、上位ビット側に行く程復号時の誤り数が少なくなっていくため、符号化時に、冗長データが一層少なく訂正能力の低い符号を使用することが可能となる。

【0031】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。まず、マルチレベル符号化の方法について説明する。

【0032】マルチレベル符号化の詳細については、H. Imai, S. Hirakawa, "A New Multilevel Coding Method Using Error-Correcting Codes" (IEEE Trans. Inf. Theory, Vol. IT-23, pp. 371-377) に記載されている。

【0033】16値記録を行うフラッシュメモリでは、1つのセルに4ビットのデータが記録される。ここで、4ビットのデータの記録方法は、図8に示すようになっ

ているものとする。254セル分の符号を構成する場合を例として取り上げると、マルチレベル符号化では、図9に示すように、各メモリセルに記憶されている4ビットのデータ(c0, c1, c2, c3)をおのおの254セル分並べて、符号長=254の符号C0, C1, C2, C3を構成する。最下位のビットデータ「c3」からなる符号C3には、最も冗長データが多く訂正能力の高い符号を用いる。以下、C2, C1, C0の順に冗長データを少なくし、符号C0には最も冗長データが少なく訂正能力の低い符号を用いるようにする。

【0034】復号はC3, C2, C1, C0の順に行う。図10は、符号C3の復号の方法を示している。ここで、誤りを訂正する際には、上のシンボルに量子化する様にする。これは、フラッシュメモリの各メモリセルの不良が必ず下のシンボルに誤るという傾向があるためである。例えば、読み出しデータが「0011」であって、最下位ビット「1」が誤りであるときは、1つ上のシンボルである「0100」に量子化される。

【0035】C3の復号が終わると、各セルに記憶されている4ビットのデータのうち最下位ビット「c3」が確定する。これによって、もともと16値に記録されていた各メモリセルのシンボルのうち、8値が候補として残ることになる。符号C3の復号の次に符号C2の復号を行う。この場合も、C3の復号と同様に、誤りを訂正する際には、8値の候補のうちの上のシンボルに量子化される。

【0036】そして、C2の復号が終わると、各メモリセルに記憶されている4ビットのデータうち下位2ビット「c2, c3」が確定する。これによって、8値残った各メモリセルのシンボルのうち4値が候補として残ることになる。以後、同様にC1, C0の復号を行うことで、254セル分の読み出しデータの復号が行われる。ここで、下位ビットの復号結果が正しければ、残ったシンボルを誤る確率は順に下がっていくので、弱い符号で十分であることが分かる。

【0037】図1は、第1の実施の形態としてのフラッシュメモリ10の構成を示している。このフラッシュメモリ10は、誤り訂正符号としてマルチレベル符号化を利用したものであり、16値(4ビット)記録を行うフラッシュメモリであり、外部とのデータの入出力が1バイト(8ビット)単位で行われるものである。

【0038】フラッシュメモリ10は、複数のメモリセルを有するセルアレイ11と、8ビットの平行データ(バイト列)である入力データDinをシリアルデータ(ビット列)に変換する8ビット/1ビット変換器12と、この変換器12より出力されるシリアルデータに対してマルチレベル符号化をして書き込みデータWDを得るマルチレベル符号化器13とを有している。

【0039】また、フラッシュメモリ10は、セルアレイより読み出される読み出しデータRDを復号するマル



チレベル復号器14と、このマルチレベル復号器14より出力されるシリアルデータを8ビットの平行データに変換して出力データDoutを得る1ビット/8ビット変換器15とを有している。ここで、マルチレベル符号化器13およびマルチレベル復号器14は、誤り訂正回路を構成している。

【0040】図3は、マルチレベル符号化器13の構成を示している。マルチレベル符号化器13は、変換器12より出力されるシリアルデータSDinを構成する各ビットデータを符号C0、C1、C2、C3の各系統に振り分けるための切換スイッチ131を有している。この場合、切換スイッチ131の可動端子にシリアルデータSDinが供給され、そのa側、b側、c側、d側の固定端子にそれぞれ符号C0、C1、C2、C3をそれぞれ構成するビットデータが得られる。そして、シリアルデータSDinの968ビットのデータ毎に、a側、b側の固定端子にはそれぞれ254ビットのデータが得られ、c側の固定端子には238ビットのデータが得られ、d側の固定端子には222ビットのデータが得られる。

【0041】また、マルチレベル符号化器13は、シリアルデータSDinの968ビットのデータ毎に、切換スイッチ131のc側の固定端子に得られる238ビットのデータを2誤り訂正可能な短縮化BCH符号(Bose-Chaudhuri-Hocquenghem code)に変換するBCH符号化器132と、シリアルデータSDinの968ビットのデータ毎に、切換スイッチ131のd側の固定端子に得られる222ビットのデータを4誤り訂正可能な短縮化BCH符号に変換するBCH符号化器133とを有している。

【0042】BCH符号化器132では、238ビットのデータに、16ビットの冗長データが付加され、符号C2としての符号長が254ビットの短縮化BCH符号が生成される。同様に、BCH符号化器133では、222ビットのデータに、32ビットの冗長データが付加され、符号C3としての符号長が254ビットの短縮化BCH符号が生成される。なお、シリアルデータSDinの968ビットのデータ毎に、切換スイッチ131のa側、b側の固定端子に得られる254ビットのデータは、それぞれそのまま符号C0、C1となる。

【0043】また、マルチレベル符号化器13は、切換スイッチ131のa側、b側の固定端子に得られる符号C0、C1、BCH符号化器132、133で生成される符号C2、C3をそれぞれ構成するビットデータを多重化して書き込みデータWDとしての4ビット「c0,c1,c2,c3」のデータを得る多重化回路134とを有している。ここで、「c0」は符号C0を構成するビットデータであって、MSB (most significant bit) とされる。「c1」は符号C1を構成するビットデータであって、2SBとされる。「c2」は符号C2を構成するビットデー

タであり、3SBとされる。そして、「c3」は符号C3を構成するビットデータであって、LSB (least significant bit) とされる。

【0044】以上のように構成されたマルチレベル符号化器13の動作を説明する。変換器12より出力されるシリアルデータSDinは、切換スイッチ131に供給されて符号C0、C1、C2、C3をそれぞれ構成するビットデータに振り分けられる。これにより、シリアルデータSDinの968ビットのデータ毎に、切換スイッチ131のa側、b側、c側、d側の固定端子には、それぞれ254ビット、254ビット、238ビット、222ビットのデータが得られる。

【0045】そして、切換スイッチ131のc側の固定端子に得られる238ビットのデータはそれぞれBCH符号化器132に供給され、16ビットの冗長データが付加されて、符号C2としての符号長が254ビットの2誤り訂正可能なBCH符号に変換される。同様に、切換スイッチ131のd側の固定端子に得られる222ビットのデータはBCH符号化器133に供給され、32ビットの冗長データが付加されて、符号C3としての符号長が254ビットの4誤り訂正可能なBCH符号に変換される。なお、切換スイッチ131のa側、b側の固定端子に得られる254ビットのデータは、それぞれ符号C0、C1となる。これにより、シリアルデータSDinの968ビットのデータ毎に、図2に示したようなマルチレベル符号化が行われる。

【0046】そして、上述した符号C0、C1、C2、C3は多重化回路134に供給される。多重化回路134では、符号C0、C1、C2、C3のそれぞれを構成するビットデータが多重化されて4ビット「c0,c1,c2,c3」のデータが生成され、この4ビットのデータが書き込みデータWDとして出力される。この場合、「c0」、「c1」、「c2」、「c3」はそれぞれ符号C0、C1、C2、C3を構成するビットデータであって、MSB、2SB、3SB、LSBとされている。よって、誤り数が多いと予想される下位のビットデータ程、冗長データが多く訂正能力の高い符号が用いられることとなる。

【0047】図4は、マルチレベル復号器14の構成を示している。マルチレベル復号器14は、セルアレイ11より読み出される読み出しデータRDとしての4ビット「c0,c1,c2,c3」のデータのうちLSBである「c3」からなる符号C3に誤り訂正処理を施し、誤り訂正された符号C3を出力するBCH復号器141と、読み出しデータRDとしての4ビットのデータを、BCH復号器141の処理遅延分だけ遅延させる遅延回路142と、BCH復号器141で誤り訂正された符号C3に基づき、遅延回路142で遅延された4ビット「c0,c1,c2,c3」のデータに誤りがあると判定するとき、(すなわち、4ビット「c0,c1,c2,c3」のデータを構成するビットデータ「c3」と、これに対応する符号C3を構成する

ビットデータ「c3」とが異なるとき）、その4ビット「c0,c1,c2,c3」のデータを、4ビット「c0,c1,c2,c3」で構成される16値のシンボルのうち、1つ上のシンボルに量子化して誤り訂正をする量子化器143とを有している。

【0048】また、マルチレベル復号器14は、量子化器143より出力される4ビット「c0,c1,c2,c3」のデータのうち3SBである「c2」からなる符号C2に誤り訂正処理を施し、誤り訂正された符号C2を出力するBCH復号器144と、量子化器143より出力される4ビットのデータを、BCH復号器144の処理遅延分だけ遅延させる遅延回路145と、BCH復号器144で誤り訂正された符号C2に基づき、遅延回路142で遅延された4ビット「c0,c1,c2,c3」のデータに誤りがあると判定するとき、4ビット「c0,c1,c2,c3」（「c3」は確定値）で構成される8値のシンボルのうち、1つ上のシンボルに量子化して誤り訂正をする量子化器146とを有している。

【0049】また、マルチレベル復号器14は、量子化器146より出力される4ビット「c0,c1,c2,c3」のデータを構成するビットデータを選択的に順次取り出してシリアルデータS Doutを得る切換スイッチ147を有している。この場合、切換スイッチ147のa側、b側、c側、d側の固定端子には、それぞれ符号C0、C1、C2、C3（図2参照）を構成するビットデータが供給され、量子化器146より254セル分の4ビット「c0,c1,c2,c3」のデータが出力される毎に、切換スイッチ147の可動端子には968ビットのシリアルデータS Doutが得られる。すなわち、切換スイッチ147は、図3に示すマルチレベル符号化器13における切換スイッチ131とは逆の動作を行って、各ビットデータをマルチレベル符号化をする前の時系列に戻すためのものである。

【0050】以上のように構成されたマルチレベル復号器14の動作を説明する。読み出しデータRDとしての4ビット「c0,c1,c2,c3」のデータはBCH復号器141に供給され、LSBである「c3」からなる符号C3（符号長＝254ビット）に誤り訂正処理が施される。この場合、符号C3は4誤り訂正可能なBCH符号であるので、誤り数が4以下であるときは、その誤りの訂正が可能である。このBCH復号器141で誤り訂正された符号C3は量子化器143に供給される。また、読み出しデータRDとしての4ビットのデータは、遅延回路142でBCH復号器141の処理遅延分だけ遅延されて量子化器143に供給される。

【0051】そして、量子化器143では、BCH復号器141で誤り訂正された符号C3に基づいて、読み出しデータRDとしての4ビット「c0,c1,c2,c3」のデータに誤りがあるときは、図10に示すように、4ビット「c0,c1,c2,c3」で構成される16値のシンボルのう

ち、1つ上のシンボルに量子化して誤り訂正が行われる。例えば、読み出しデータRDが「0011」であって、誤り訂正された符号C3のビットデータとの比較の結果、LSB「1」が誤りであったときは、1つ上のシンボルである「0100」に量子化される。

【0052】また、量子化器143より出力される4ビット「c0,c1,c2,c3」のデータは、BCH復号器144に供給され、3SBである「c2」からなる符号C2（符号長＝254ビット）に誤り訂正処理が施される。この場合、符号C2は2誤り訂正可能なBCH符号であるので、誤り数が2以下であるときは、その誤りの訂正が可能である。このBCH復号器144で誤り訂正された符号C2は量子化器146に供給される。また、量子化器143より出力される4ビットのデータは、遅延回路145でBCH復号器144の処理遅延分だけ遅延されて量子化器146に供給される。

【0053】そして、量子化器146では、BCH復号器144で誤り訂正された符号C2に基づいて、量子化器143より出力される4ビット「c0,c1,c2,c3」のデータに誤りがあるときは、4ビット「c0,c1,c2,c3」（「c3」は確定値）で構成される8値のシンボルのうち、1つ上のシンボルに量子化して誤り訂正が行われる。例えば、量子化器143より出力される4ビットのデータが「0100」であって、誤り訂正された符号C2のビットデータとの比較の結果、3SB「0」が誤りであったときは、1つ上のシンボルである「0110」に量子化される（図10参照）。

【0054】また、量子化器146より出力される4ビット「c0,c1,c2,c3」のデータを構成する各ビットデータは、それぞれ切換スイッチ147のa側、b側、c側、d側の固定端子に供給される。すなわち、切換スイッチ147のa側、b側、c側、d側の固定端子には、それぞれ符号C0、C1、C2、C3（図2参照）を構成するビットデータが供給される。そして、この切換スイッチ147では、各ビットデータが選択的に順次取り出されてマルチレベル符号化をする前の時系列に戻される。したがって、量子化器146より254セル分の4ビット「c0,c1,c2,c3」のデータが出力される毎に、切換スイッチ147からは968ビットのシリアルデータS Doutが出力される。

【0055】図1に示すフラッシュメモリ10において、データの書き込みは以下に行われる。すなわち、1バイト（8ビット）のデータである入力データDinは8ビット／1ビット変換器12でシリアルデータS Dinに変換される。そして、このシリアルデータS Dinがマルチレベル符号化器13に供給されてマルチレベル符号化（図2参照）が行われて4ビットの書き込みデータWDが生成される。そして、この書き込みデータWDがセルアレイ11に供給され、このセルアレイ11を構成する各メモリセルに順次書き込まれる。



【0056】一方、データの読み出しは以下のように行われる。セルアレイ 11 より読み出された読み出しデータ RD はマルチレベル復号器 14 に供給され、復号処理（誤り訂正処理）が行われてシリアルデータ S Dout が得られる。そして、このシリアルデータ S Dout は 1 ビット／8 ビット変換器 15 で 1 バイト（8 ビット）のデータに変換され、出力データ Dout となる。

【0057】なお、入力データ Din や出力データ Dout が一般に m ビットの平行データであるときは、マルチレベル符号化器 13 の前段に入力データ Din をシリアルデータ S Din に変換する m ビット／1 ビット変換器が配置され、またマルチレベル復号器 14 の後段にシリアルデータ S Dout を m ビットの平行データに変換する 1 ビット／m ビット変換器が配置されればよい。さらに、これら変換器は、マルチレベル符号化器、マルチレベル復号器に含めて構成されてもよい。

【0058】このように第 1 の実施の形態においては、入力データ Din をマルチレベル符号化して書き込みデータ WD を得るものである。つまり、複数のメモリセル分の書き込みデータ WD を得るに当たって、各ビット位のビットデータ毎に独立した符号化が行われ、誤り数が最も多くなると予想される LSB からなる符号 C3 には 32 ビットの冗長データが付加された 4 誤り訂正可能な BCH 符号が用いられ、次に誤り数が多くなると予想される 3 SB からなる符号 C2 には 16 ビットの冗長データが付加された 2 誤り訂正可能な BCH 符号が用いられる。したがって、全体として少ない冗長データによって高い誤り訂正能力を持たせることができる。

【0059】また、読み出しデータ RD に対し、誤り数が多くなると予想される下位ビット側から順に復号化が行われる。そして、フラッシュメモリの各メモリセルの不良は必ず下のシンボルに誤るという形で現れ、また近\*

$$1 - \sum_{i=0}^2 C_i (4 \times 10^{-8})^i (1 - 4 \times 10^{-8})^{254-i} \simeq 1.7 \times 10^{-10} \\ \dots (1)$$

$$1 - \sum_{i=0}^4 C_i (2 \times 10^{-4})^i (1 - 2 \times 10^{-4})^{254-i} \simeq 2.7 \times 10^{-9} \\ \dots (2)$$

【0063】そのため、符号全体では符号 C3 の誤りが支配的となり、符号全体の不良確率は符号 C3 の不良確率と同じで約 0.00000027% で評価できる。

【0064】一方、121 バイトの情報データに対して 6 バイトの冗長データを付加して、1 シンボル＝8 ビツ※

$$1 - \sum_{i=0}^3 C_i (4 \times 10^{-4})^i (1 - 4 \times 10^{-4})^{127-i} \simeq 2.6 \times 10^{-7} \\ \dots (3)$$

【0066】よって、実施の形態におけるマルチレベル符号化と、短縮化リード・ソロモン符号による符号化とを比較すると、冗長データは同じでも、マルチレベル符号化の方が短縮化リード・ソロモン符号による符号化よ

\* くのシンボルに誤りやすいという傾向があることから、誤り訂正を行う場合にはその訂正に係る読み出しデータ RD が 1 つ上のシンボルに量子化される。このように、誤り訂正を行う際に雑音の一方方向性を利用してシンボルの特定を行うことで、上位ビット側に行く程、復号時の誤り数が少なくなっていく、そのため符号化時には冗長データが一層少なく訂正能力の低い符号を使用できる利益がある。

【0060】この第 1 の実施の形態における効果を例をあげて説明する。この実施の形態と同じ情報データ数、冗長データ数のリード・ソロモン符号は、図 5 のように構成できる。このリード・ソロモン符号は、2 セル分のデータを 1 シンボルとして、符号長 127 で冗長シンボル数 6 の符号になっている。この符号によって 3 誤り訂正が可能である。セル破壊による電圧の降下は、高い電圧で記録したもののほど起こりやすいという傾向があるため、最も上のシンボル（今回の例では「1111」）が最も不良を起こしやすい。いま、製造時に正常だったセルが 100 万回の書き込み／消去後に、シンボル「1111」が他のシンボルに誤る確率が、図 6 の様になっていたとして、100 万回の書き込み／消去後に符号が不良となる確率を比較する。

【0061】まず、実施の形態のようなマルチレベル符号化を行った場合の確率を求める。図 6 より今回の例での不良の分布では 4 シンボル以下に誤る確率がないことから、符号 C3、C2 が正しく復号されれば、符号 C1、C0 に誤りは起こらない。ここで、符号 C2、C3 を正しく復号できない確率は、それぞれ (1) 式、(2) 式で評価できる。

【0062】

【数 1】

※ トの 3 誤り訂正可能な短縮化リード・ソロモン符号を用いた場合の符号の不良確率は、(3) 式より約 0.000026% で評価できる。

【0065】

【数 2】

りも高い誤り訂正能力が得られていることが分かる。

【0067】次に、この発明の第 2 の実施の形態について説明する。図 7 は第 2 の実施の形態としてのメモリカード 20 の構成を示している。このメモリカード 20

は、16値（4ビット）記録を行うフラッシュメモリを2個使用すると共に、マルチレベル符号化による誤り訂正回路をコントローラに組み込んだメモリカードである。外部とのデータの入出力は、1バイト（8ビット）単位で行われる。図7において、メモリカード20は、2個のフラッシュメモリ21、22と、これらフラッシュメモリ21、22に対してデータの書き込みや読み出しを行うためのコントローラ23とを備えている。

【0068】そして、コントローラ23は、カード外部とのデータのやり取りを行うためのカードインタフェース24と、8ビットの平行データ（バイト列）である入力データDinをシリアルデータ（ビット列）SDinに変換する8ビット／1ビット変換器25と、この変換器25より出力されるシリアルデータに対してマルチレベル符号化をして書き込みデータWDを得るマルチレベル符号化器26とを有している。マルチレベル符号化器26は、詳細説明は省略するが、図1のフラッシュメモリ10におけるマルチレベル符号化器13と同様に構成されている（図3参照）。

【0069】また、コントローラ23は、フラッシュメモリ21、22より読み出される読み出しデータRDを復号するマルチレベル復号器27と、このマルチレベル復号器27より出力されるシリアルデータSDoutを8ビットの平行データに変換して出力データDoutを得る1ビット／8ビット変換器28と、フラッシュメモリ21、22に対するデータの書き込み／読み出しをコントロールするフラッシュインタフェース29とを有している。ここで、マルチレベル符号化器26およびマルチレベル復号器27は、誤り訂正回路を構成している。マルチレベル復号器27は、詳細説明は省略するが、図1のフラッシュメモリ10におけるマルチレベル復号器14と同様に構成されている（図4参照）。

【0070】図7に示すメモリカード20において、データの書き込みは以下のように行われる。すなわち、入力データDinはカードインタフェース24によってカード内部に取り込まれて8ビット／1ビット変換器25に供給され、シリアルデータSDinに変換される。そして、このシリアルデータSDinがマルチレベル符号化器13に供給されてマルチレベル符号化（図2参照）が行われて4ビットの書き込みデータWDが生成される。そして、この書き込みデータWDが、フラッシュインタフェース29のコントロールに従ってフラッシュメモリ21またはフラッシュメモリ22に書き込まれる。

【0071】一方、データの読み出しは以下のように行われる。フラッシュインタフェース29のコントロールに従ってフラッシュメモリ21またはフラッシュメモリ22より読み出された読み出しデータRDは、マルチレベル復号器27に供給され、復号処理（誤り訂正処理）が行われてシリアルデータSDoutが得られる。このシリアルデータSDoutは1ビット／8ビット変換器28

で1バイト（8ビット）のデータに変換されて出力データDoutが得られる。そして、この出力データDoutはカードインタフェース24を介してカード外部に出力される。

【0072】なお、入力データDinや出力データDoutが一般にmビットの平行データであるときは、マルチレベル符号化器26の前段に入力データDinをシリアルデータSDinに変換するmビット／1ビット変換器が配置され、またマルチレベル復号器27の後段にシリアルデータSDoutをmビットの平行データに変換する1ビット／mビット変換器が配置されればよい。さらに、これら変換器は、マルチレベル符号化器、マルチレベル復号器に含めて構成されてもよい。

【0073】このように第2の実施の形態においても、マルチレベル符号化による誤り訂正回路が使用されるものであり、第1の実施の形態と同様の作用効果を得ることができる。なお、上述実施の形態においては、下位ビット程冗長データが多く訂正能力の高い符号で符号化をするものを示したが、符号化の方法は誤りの分布の特徴に合わせて任意の構造に設定可能である。また、使用する符号もBCH符号に限らず、ハミング符号や畳み込み符号など任意の符号を用いることができる。さらに、記憶システムとしてはフラッシュメモリを例としたが、これもフラッシュメモリに限らず、他の半導体メモリなど種々の記憶システムに対しても適用可能である。

【0074】

【発明の効果】この発明によれば、複数ビットのデータを記憶するメモリセルからなるメモリに対してマルチレベル符号化による誤り訂正符号を用いるものである。そのため、予想される誤り数の多少によって各ビット位のビットデータに対する符号の訂正能力を設定でき、全体として少ない冗長データによって高い誤り訂正能力を持たせることができる。また、マルチレベル復号器では各ビット位のビットデータ毎に復号が行われるが、誤り訂正を行う際に雑音の方向性を利用してシンボルの特定を行うことで、後のビット位のビットデータの復号程、誤り数が少なくなっていく、そのため、符号化時には冗長データの二層少ない訂正能力の低い符号を使用できる利益がある。

【図面の簡単な説明】

【図1】第1の実施の形態としてのフラッシュメモリの構成を示すブロック図である。

【図2】マルチレベル符号化の方法を示す図である。

【図3】フラッシュメモリ内のマルチレベル符号化器の構成を示すブロック図である。

【図4】フラッシュメモリ内のマルチレベル復号器の構成を示すブロック図である。

【図5】リード・ソロモン符号を用いた場合の符号の構成例を示す図である。

【図6】しきい電圧の降下による不良の発生の様子を示

す図である。

【図7】第2の実施の形態としてのメモリカードの構成を示すブロック図である。

【図8】4ビットのデータの記録方法を示す図である。

【図9】マルチレベル符号化の方法を説明するための図である。

【図10】マルチレベル復号を説明するための図である。

【図11】フラッシュメモリに組み込まれるセルアレイの構造を示す図である。

【図12】メモリセルの構造を示す図である。

【図13】メモリセルの電圧分布を示す図である。

【図14】多値記録を行う場合にメモリセルに与える電荷を示す図である。

【図15】多値記録を行うメモリセルの電圧分布を示す図である。

【図16】短縮化リード・ソロモン符号を用いた誤り訂正回路を組み込んだ多値記録フラッシュメモリの構成例を示すブロック図である。

【図17】短縮化リード・ソロモン符号の例を示す図で\*20

\*ある。

【図18】ビット変換の動作を説明するための図である。

【図19】短縮化リード・ソロモン符号を用いた誤り訂正回路をコントローラに備えるメモリカードの構成を示すブロック図である。

【図20】しきい電圧降下による不良発生の様子を示す図である。

【符号の説明】

- 10 10, 21, 22・・・フラッシュメモリ、11・・・セルアレイ、12, 25・・・8ビット/1ビット変換器、13, 26・・・マルチレベル符号化器、14, 27・・・マルチレベル復号器、15, 28・・・1ビット/8ビット変換器、20・・・メモリカード、23・・・コントローラ、24・・・カードインタフェース、29・・・フラッシュインタフェース、131, 147・・・切換スイッチ、132, 133・・・BCH符号化器、134・・・多重化回路、141, 144・・・BCH復号器、142, 145・・・遅延回路、143, 146・・・量子化器

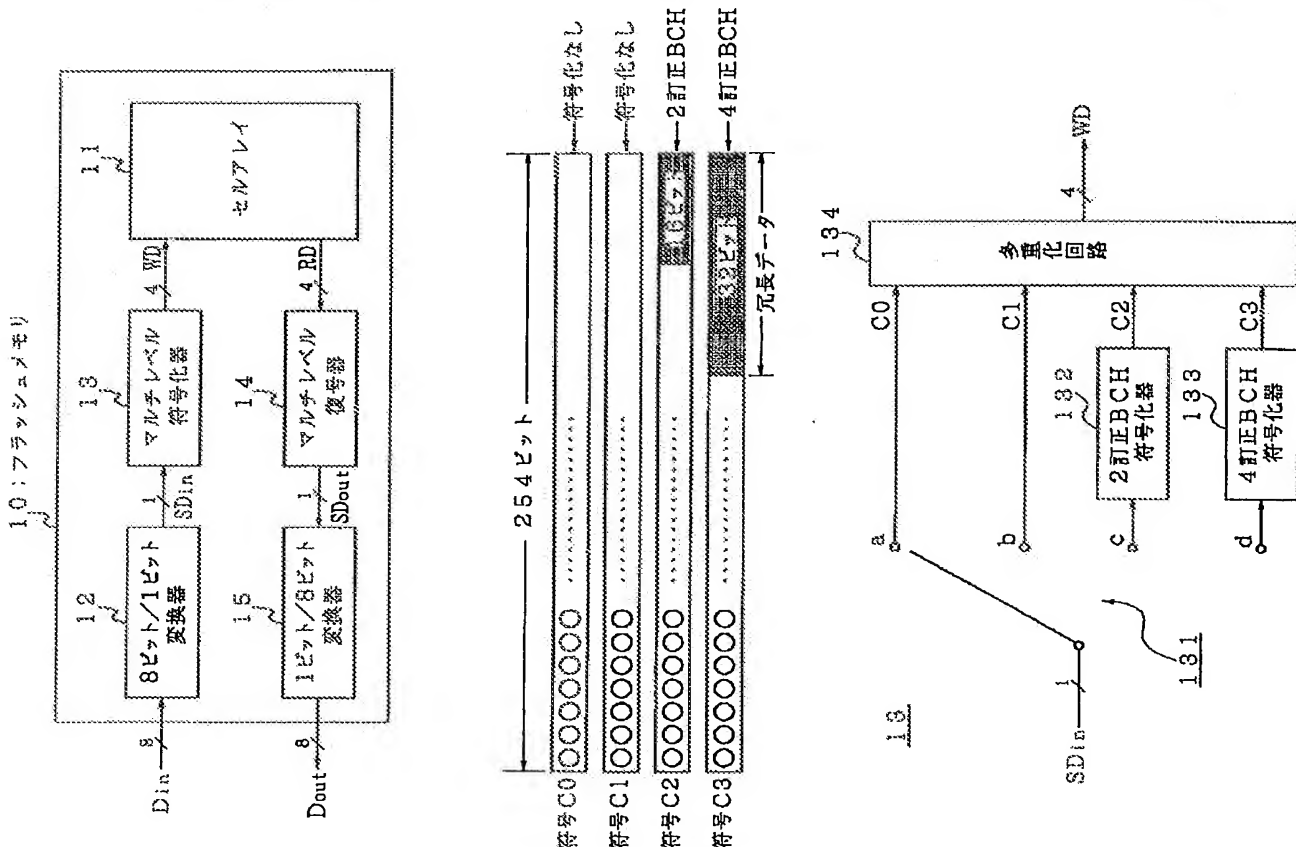
【図1】

【図2】

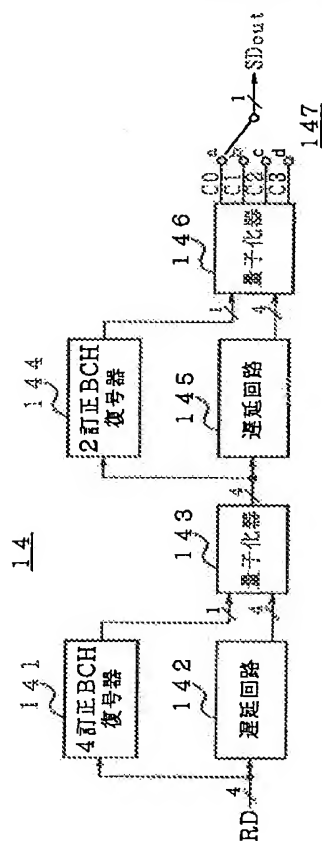
【図3】

第1の実施の形態(フラッシュメモリ) マルチレベル符号化の方法

マルチレベル符号化器の構成

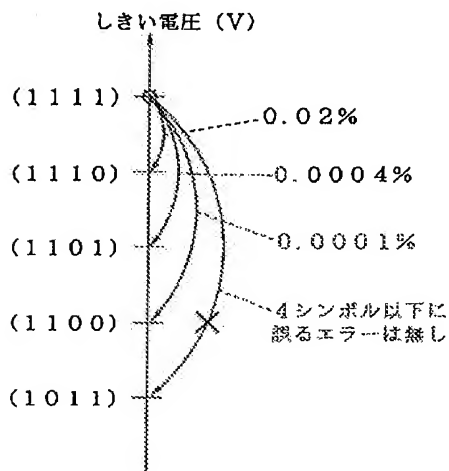


【図4】

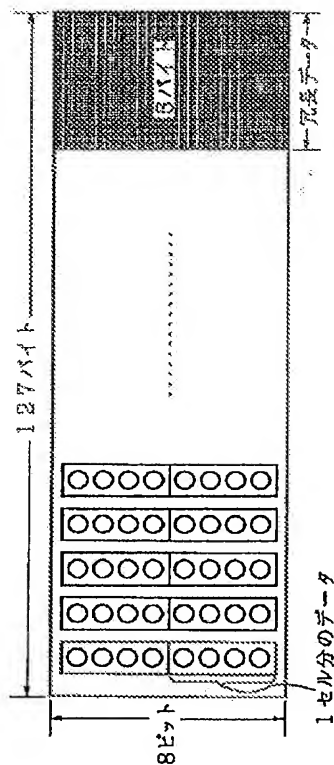


【図6】

しきい電圧の降下による不良の発生の様子

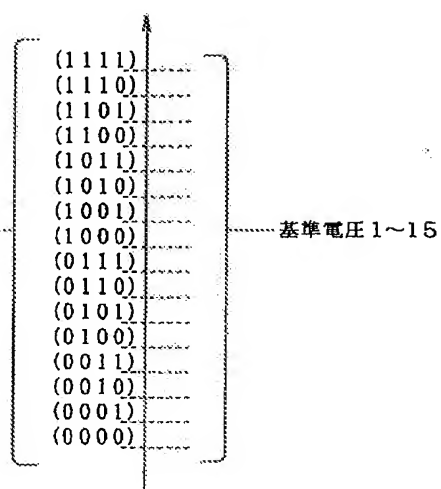


【図5】



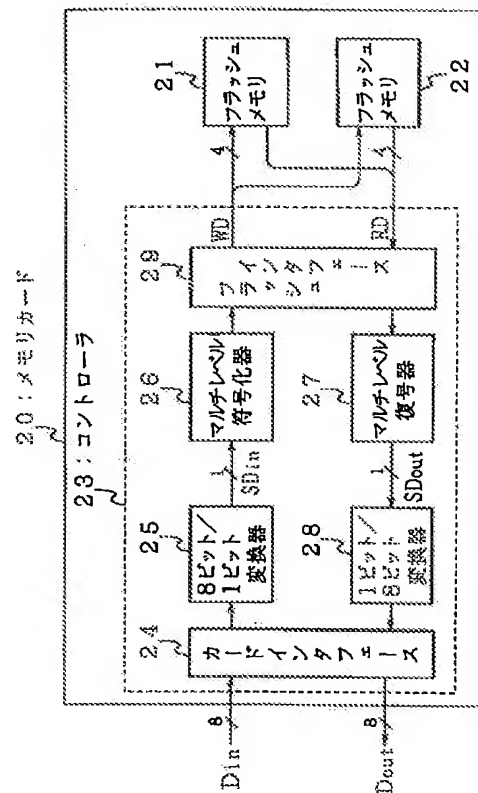
【図8】

4ビットデータの記録方法



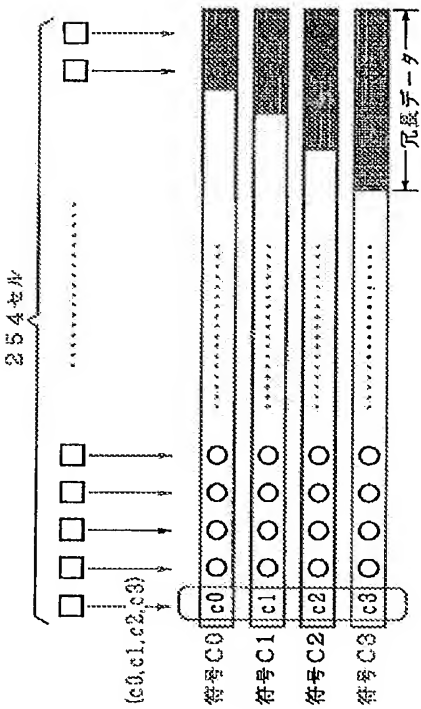
【図7】

第2の実施の形態(メモリカード)



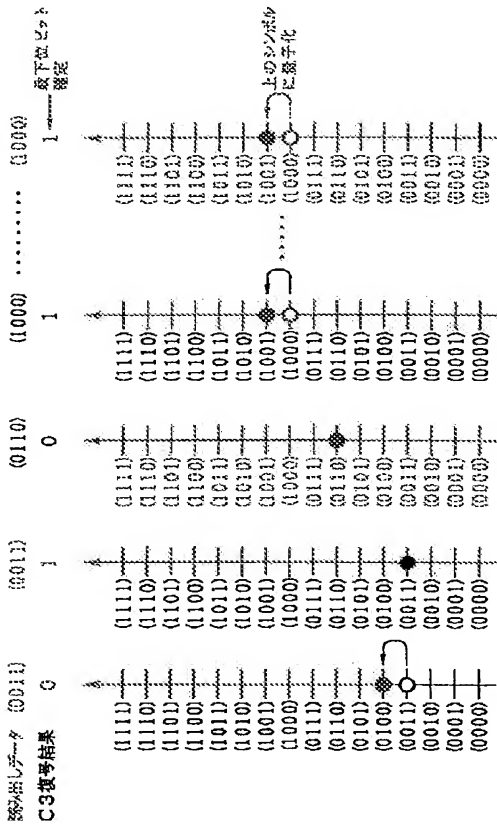
【図9】

マルチレベル符号化の方法



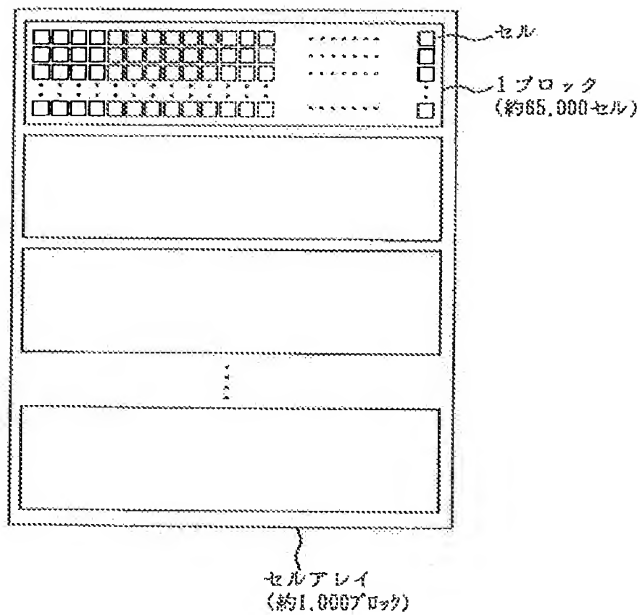
【図10】

符号C3の復号の例



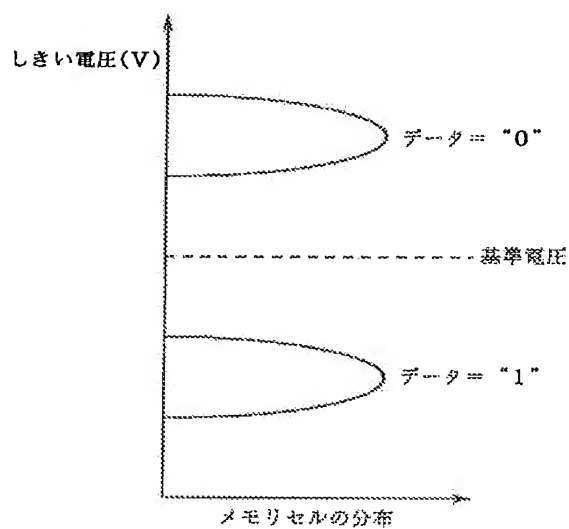
【図11】

セルアレイの構造



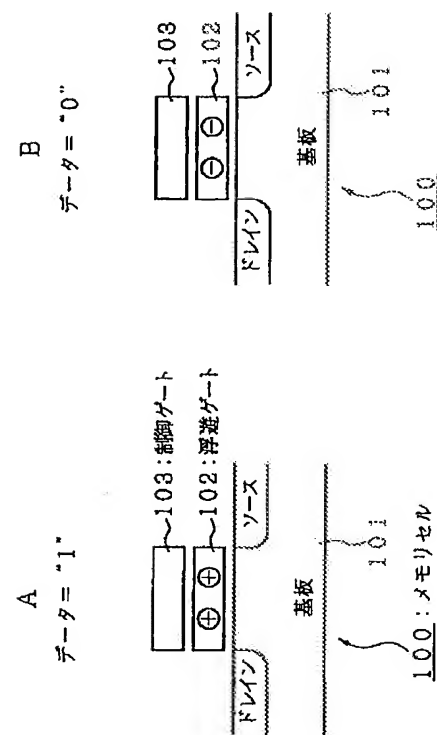
【図13】

メモリセルの電圧分布



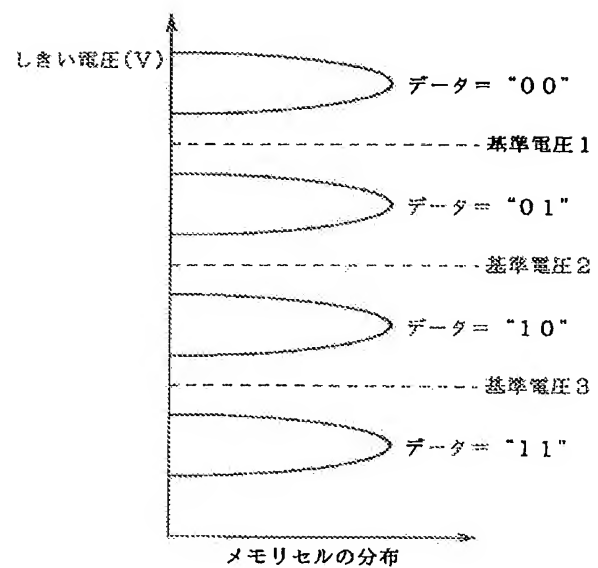
【図12】

メモリセルの構造



【図15】

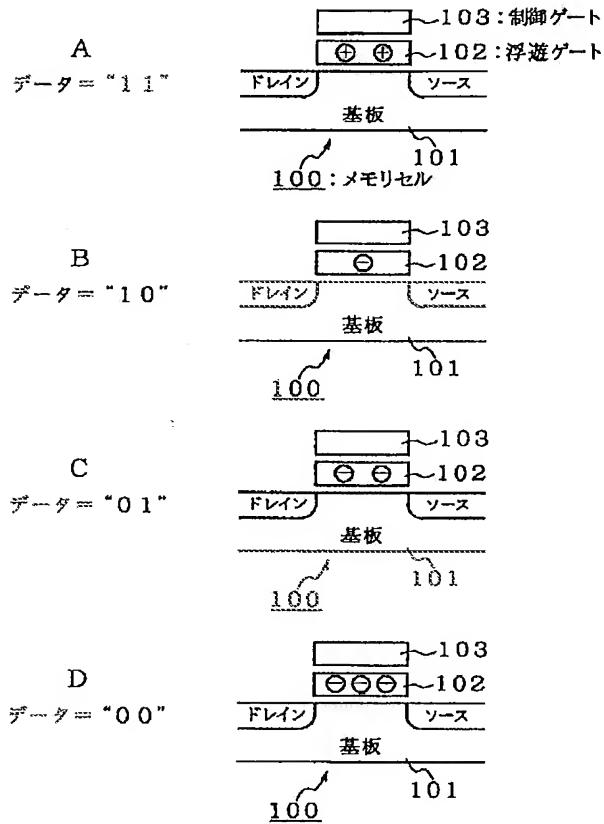
多値記録を行うメモリセルの電圧分布





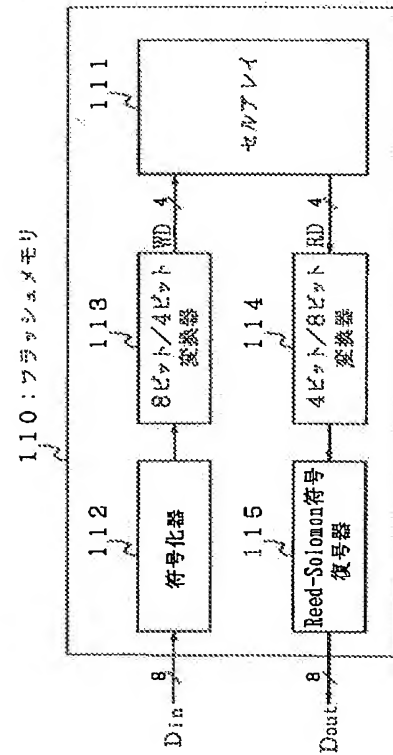
【図14】

多値記録を行う場合にメモリセルに与える電荷



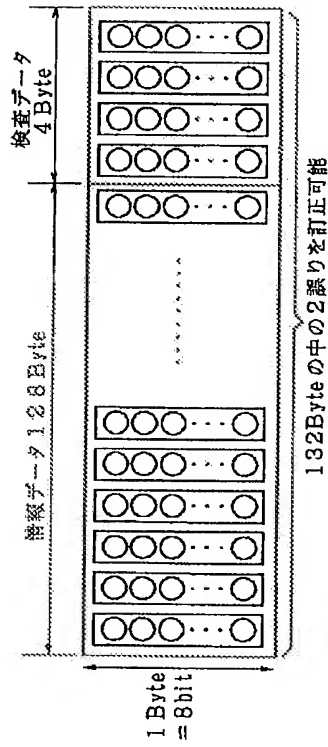
【図16】

フラッシュメモリの構成例



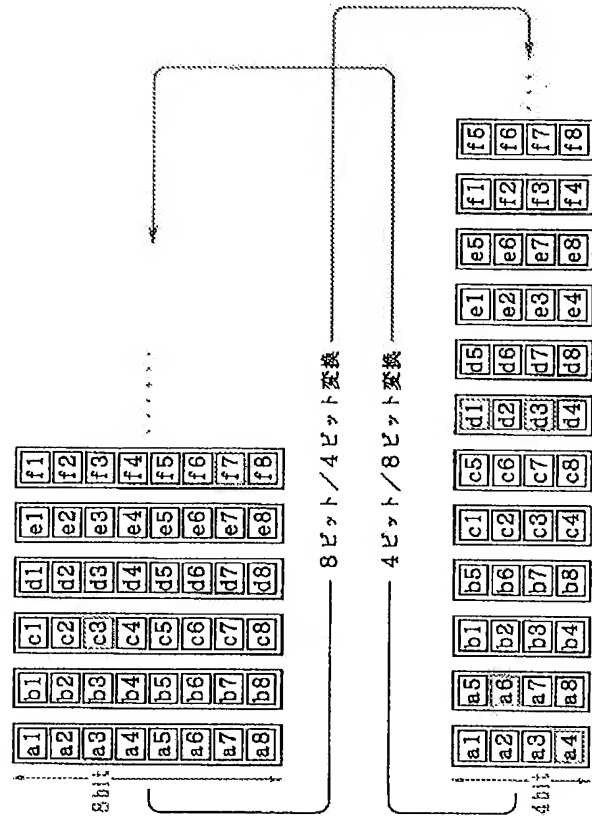
【図17】

短縮化リード・ソロモン符号の例



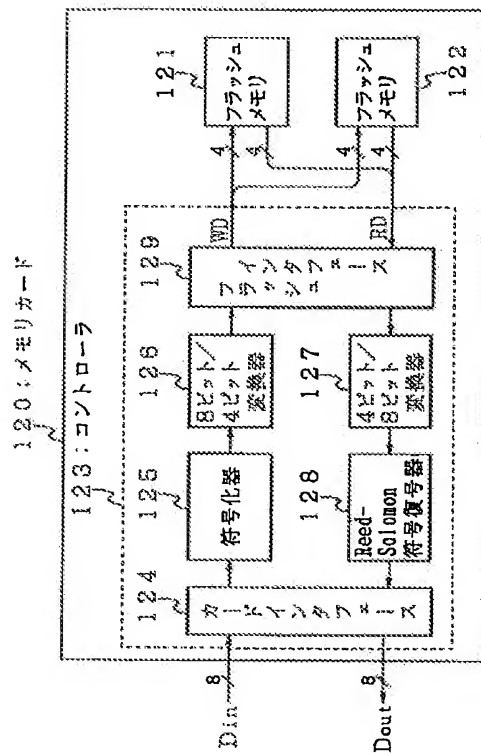
【図18】

ビット変換の動作



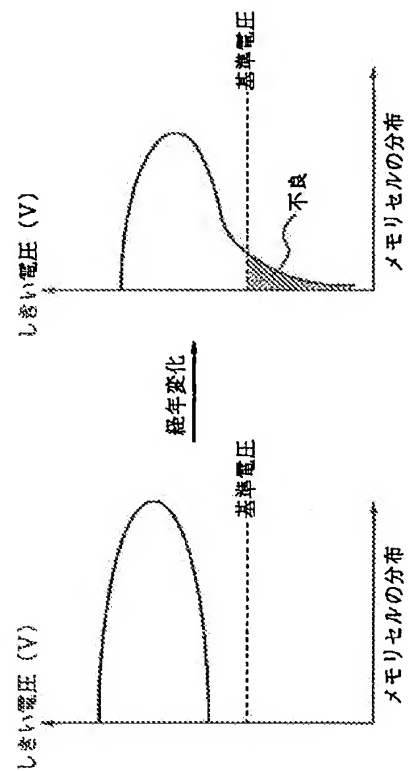
【図19】

メモ리카ードの構成例



【図20】

しきい電圧降下による不良発生の様子



フロントページの続き

(51)Int.Cl.<sup>5</sup>

G11C 16/02

識別記号

F I

G11C 17/00

641